

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-196006
(43)Date of publication of application : 21.07.1999

(51)Int.CI. H03M 13/00
G11B 20/18
G11B 20/18
G11B 20/18

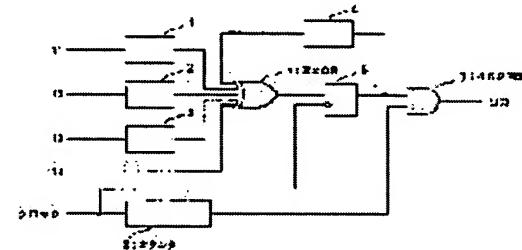
(21)Application number : 09-368781 (71)Applicant : NEC CORP
(22)Date of filing : 26.12.1997 (72)Inventor : TEZUKA HIROSHI

(54) PARALLEL PROCESSING SYNDROME CALCULATION CIRCUIT AND REED SOLOMON DECODING CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a syndrome polynomial calculation circuit which is capable of fast operation and also to provide a Reed Solomon decoding circuit.

SOLUTION: Higher-order signals I1, I2 and I3 are inputted to first to third Galois field multiplication circuits, and the multipliers a'6, a'9, and a'12, '2, a'4, a'6 and a'8 and 'a, a'2, a'3 and a'4 are defined with S0, S1, S2 and S3 respectively. The outputs of the first top third Galois field multiplication circuits, and a higher-order signal I4 are inputted to an exclusive OR circuit, and the output of this OR circuit is inputted to a D-F/F. The output of the D-F/F is inputted to a fourth Galois field multiplication circuit and an AND circuit respectively. The multipliers of the fourth Galois field multiplication circuit are defined as a'4, a'8, a'12 and a'16 with S0, S1, S2 and S3 respectively. The output of the fourth Galois field multiplication circuit is inputted to the fifth input of the exclusive OR circuit, and clocks are inputted to the D-F/F and a counter. The counter value is reset by the input of a frame pulse to be kept at L for value 0 to 4 and then kept at H for value 5 respectively. Then the counter output is inputted to the AND circuit, and a signal is outputted from the D-F/F, only when the signal is at H.



LEGAL STATUS

[Date of request for examination] 26.12.1997

[Date of sending the examiner's decision of rejection] 25.09.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-196006

(43)公開日 平成11年(1999)7月21日

(51)Int.Cl.⁶
H 03 M 13/00
G 11 B 20/18
識別記号
5 1 2
5 3 2
5 4 2

F I
H 03 M 13/00
G 11 B 20/18
5 1 2 D
5 3 2 E
5 4 2 Z

審査請求 有 請求項の数 6 FD (全 10 頁)

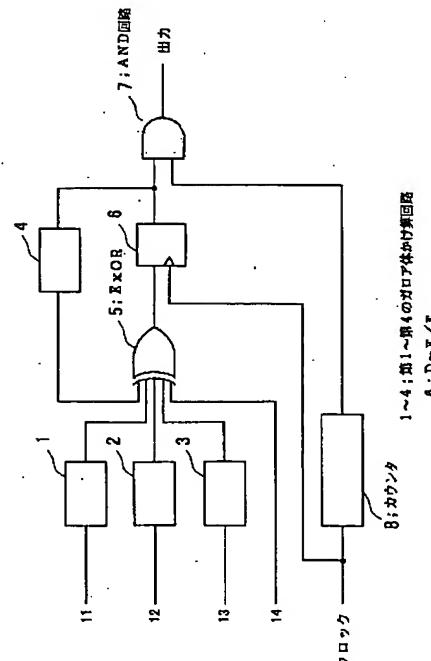
(21)出願番号	特願平9-368781	(71)出願人 000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22)出願日	平成9年(1997)12月26日	(72)発明者 手塚 宏 東京都港区芝五丁目7番1号 日本電気株式会社内 (74)代理人 弁理士 加藤 朝道

(54)【発明の名称】 並列処理シンドローム計算回路及びリード・ソロモン複合化回路

(57)【要約】

【課題】高速動作可能なシンドローム多項式計算回路及びリードソロモン復号化回路の提供。

【解決手段】高次の信号のI1, I2, I3が第1～3ガロア体乗算回路に入力し乗数はS0, S1, S2, S3の各々で、 $a^6, a^9, a^{12} \text{ と } a^2, a^4, a^6, a^8$ と a, a^2, a^3, a^4 となり該第1～第3乗算回路出力とI4は排他論理和回路に入力しその出力はD-F/Fに入力し、その出力は第4ガロア体乗算回路とAND回路に入力し該第4乗算回路の乗数はS0, S1, S2, S3の各場合で a^4, a^8, a^{12}, a^{16} となり該第4乗算回路出力は排他論理和回路の第5入力に入力し、クロックはD-F/F及びカウンタに入力されカウンタ値はフレームパルスの入力でリセットしカウンタ値が0-4の間はI、5の時はHに変化しカウンタ出力はAND回路入力され、信号がHの時のみ、D-F/Fからの信号が出力される



【特許請求の範囲】

【請求項1】シンドローム多項式計算回路における a^p (但し、 p は巾乗を示す) のガロア体代入回路において、
 j 個のガロア体掛け算回路と、
 $(j+1)$ 個の入力を持つ排他論理回路と、
D型フリップフロップと、
セレクタ回路と、
カウンタ回路とを備え、入力信号として j ブロックの時分割分離された信号が入力され、その内最初の1ブロックの信号は、前記排他論理回路の第1の入力に入力され、第2ないし第 j ブロックの信号は、それぞれ第1ないし第 $(j-1)$ のガロア体掛け算回路に入力され、前記第1ないし第 $(j-1)$ のガロア体のかけ算回路の出力は、前記排他論理回路の第2ないし第 j の入力にそれぞれ入力され、
前記排他論理回路の出力はD型フリップフロップのデータ入力端に入力され、
前記D型フリップフロップの出力は2分岐され、一つは第 j のかけ算回路に入力され、他の一つは前記セレクタ回路の第1の入力端に入力され、
前記第 j のかけ算回路の出力は、前記排他論理回路の第 $(j+1)$ の入力に入力され、
入力されたクロック信号は、前記カウンタ及びD型フリップフロップのクロック端に入力され、
前記セレクタの第2の入力端は論理0固定とされ、
前記カウンタから出力される制御信号が前記セレクタ回路に選択制御信号として入力され、
前記カウンタは1フレームの信号入力をカウントし、1フレームの信号の最後の入力時のカウンタ値の時、前記制御信号を論理1として出力し、
前記セレクタ回路は、前記制御信号が論理0の時、第2の入力端を、論理1の時第1の入力端の信号を選択出力し、
1フレームの入力が入力された後、前記D型フリップフロップの出力及びカウンタ値はリセットされ、
前記各ガロア体のかけ算回路は、ガロア体 a のべき数が p ないし $j p$ で構成される、ことを特徴とするガロア体代入回路。
【請求項2】 j ブロックの入力信号をそれぞれ2分岐し、一つは第1ないし第 j のD型フリップフロップに入力し、一つは請求項1記載の前記ガロア体代入回路に入力し、
上記回路を K 個直列に接続し、前記各ガロア体代入回路のそれぞれの出力は論理回路に入力され、
論理回路の出力がシンドローム多項式計算回路の出力として出力されることを特徴とするシンドローム多項式計算回路。
【請求項3】請求項2に記載のシンドローム多項式計算回路と、

ユーリッド互換法計算回路と、
第1から第 K のチェン解法計算回路と、
第1から第 K の誤り値計算回路と、
シフトレジスタ回路と、
誤り訂正回路と、を備え、 j ブロックの入力信号は2分岐され、一方は前記シンドローム多項式回路に、他方は前記シフトレジスタに入力され、
前記シンドローム多項式の出力はユーリッド互換法計算回路に入力され、
前記ユーリッド互換法計算回路の誤り位置多項式計算結果は K 分岐され、それぞれ前記第1ないし第 K のチェン解法計算回路に入力され、
前記ユーリッド互換法計算回路の誤り値多項式計算結果は K 分岐され、前記誤り値計算回路の誤り値多項式計算部に入力され、
前記第1ないし第 K のチェン解法計算回路の出力はそれぞれ第1ないし、第 K の前記誤り値計算回路の誤り位置入力部に入力され、
前記シフトレジスタ回路の出力及び前記第1ないし第 K の誤り値計算回路の出力は誤り訂正回路に入力され、
前記第1ないし第 K のチェン解法計算回路において代入するガロア体の次数はそれぞれ1ないし K から K 次ずつ入力され、
前記チェン解法計算回路、前記誤り値計算回路、前記シフトレジスタ及び前記誤り訂正部は入力信号の $1/K$ のクロックで動作する、ことを特徴とするリードソロモン復号化回路。
【請求項4】シンドローム多項式計算回路における a^p のガロア体代入回路において、
第1乃至第 j からなる複数のガロア体乗算回路と、
 $(j+1)$ 入力排他論理回路と、を備え、
 j ブロックの時分割分離された信号入力の内最初の1ブロックの信号は、前記排他論理回路の第1の入力に入力され、第2乃至第 j ブロックの信号は前記第1乃至第 $(j-1)$ のガロア体乗算回路に入力され、前記第1乃至第 $(j-1)$ のガロア体乗算回路は前記排他的論理回路の第2乃至第 j の入力に入力され、
前記排他的論理回路の出力を入力クロック信号でラッチするラッチ回路と、
前記入力クロック信号を1フレーム分をカウントした際に制御出力信号を論理1とするカウンタと、
前記カウンタの前記制御出力信号に基づき前記ラッチ回路の出力を選択出力するゲート回路と、を備え、
前記ラッチ回路の出力は前記第 j のガロア体乗算回路に入力され、
前記第 j のガロア体乗算回路の出力が前記排他的論理回路の第 $(j+1)$ の入力に接続され、
前記各ガロア体のかけ算回路は、ガロア体 a のべき数が p ないし $j p$ で構成される、ことを特徴とするガロア体代入回路。

【請求項5】前記1フレームの入力がなされた時点で、前記ラッチ回路の出力及び前記カウンタがリセットされる、ことを特徴とする請求項4記載のガロア体代入回路。

【請求項6】入力信号を並列入力とするjビット長シフトレジスタと、

前記シフトレジスタの各段の出力をそれぞれ入力とする、請求項4記載のj個の前記ガロア体代入回路と、前記各ガロア体代入回路のそれぞれの出力を入力としそれらの論理和をシンドローム多項式計算出力とする論理回路と、

を備えたことを特徴とするシンドローム多項式計算回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、シンドローム多項式計算回路及びリードソロモン復号化回路に関し、特に、高速大容量の光通信システム等、高スループットが要求されるシステムに適用して好適なリードソロモン復号化回路及び該回路に用いられるシンドローム多項式計算回路に関する。

【0002】

【従来の技術】従来、リード・ソロモン復号化器としては、例えば文献（“VLSI向きリードソロモン符号化・複合化方式”、電子情報通信学会論文誌vol. J71-A、pp.751-759）に記載されているように、入力した信号をシストリックアレイ構造で順次処理していく方法が知られている。

【0003】上記文献に記載の方式においては、図5に示すようなPEと呼ばれる単位構造により処理を行う。図5を参照すると、入力信号には7つの信号A、B、C、D、E、I、Jが入力され、信号A、B、C、D、Eはそれぞれセレクタ501に入力される。またセレクタ回路501には制御信号S1、S2が入力される。セレクタ501の第1の出力は、第2のD型フリップフロップ（「D-F/F」という）508に入力され、第2の出力は3分岐され、それぞれ第1のガロア体のかけ算回路502の第1の入力、及び第1のD-F/F505の入力に入力され、さらに出力Gに出力される。

【0004】セレクタ501の第3の出力は3分岐され、それぞれ第2のガロア体かけ算回路503の第1の入力、及び第5のD-F/F507の入力端子に入力され、さらに出力Hに出力される。

【0005】入力信号Iは第1のガロア体かけ算回路502の第2の入力に入力され、入力信号Jは第2のガロア体のかけ算回路503の第2の入力に入力される。

【0006】第1のガロア体かけ算回路502の出力は排他論理和回路504の第1の入力に入力され、第2のガロア体かけ算回路503の出力は排他論理和回路504の第2の入力に入力される。

【0007】第1ないし第5のD-F/F505、508、506、509、507の出力はそれぞれ出力O、R、Q、T、Pとして出力される。

【0008】従来例では、上記のPEを一つの単位として様々な処理を行っている。シンドローム多項式計算部、ユークリッド互助法計算部、チェン解法及び誤り値計算部とともに上記のPEを接続することで実現する。

【0009】シンドローム多項式は、図6に示すように、PEを直列に(K+1)個接続し、入力Iには、それぞれ、aないし $a^{(K+1)}$ （記号 $\hat{\cdot}$ はべき乗を示す）を入力し、Cは“0”固定、Jは“1”固定、Bには前段PEのPの出力を入力する。この時、最終段のPEのQ出力がシンドローム多項式の出力となる。

【0010】セレクタの出力は第1のPEでは、Xの出力としてC、Yの出力としてBが選択され、それ以降のPEではXとしてA、YとしてBが選択される。

【0011】ユークリッド互助法計算部では、図7に示すように、PEを(K+2)個直列に接続し、それぞれ前段のR、Q、Tの出力が次段のA、C、Bに入力される。

【0012】それぞれのPEでは、H及びGの出力は、最初に入力された値を保持するレジスタに入力され、レジスタはその値を計算処理中保持し、それぞれ入力I、Jに入力する。

【0013】また、出力O、Pはそれぞれ入力D、Eに入力される。初段のPEでは、Aにはシンドローム多項式の計算結果が入力され、Cは“0”固定、Bは最初のビットのみ“1”を入力する。

【0014】それぞれのPEにおけるセレクタは前段の処理結果により、選択する信号が変化する。これは、各PE毎に出力信号R、Q、Tの次数により、モード（mode）がnop、reDuceA、reDuceBに変化し、それに伴い、後段のセレクタはnopの場合、XはAを、YはBを選択する。reDuceAの場合はXにCを、YにBを選択し、reDuceBの場合はXにAを、YにCを選択する。

【0015】これにより、最終段のPEのRから誤り位置多項式が、Qから誤り値多項式が出力される。

【0016】さらに後段では、図8に示すように、PEを2個、及びガロア体の逆数演算回路により構成され、I、J、A、Bにはユークリッド互助法で計算された多項式、及び、その微分した値が入力される。初段のPEの出力Qはガロア体逆数演算回路に入力され、その出力は次段PEの入力Bに入力される。この時、最終段PEの出力Qの信号が誤り位置及び誤り値の情報となり、これから誤りの値が修正される。

【0017】

【発明が解決しようとする課題】しかし、上記した従来の技術では、高速な信号を復号化するには、信号と同速度のクロックでシンドローム回路が動作しなければならない。従って、Gb/Sクラスの大容量信号を処理する

ためには、あらかじめ信号を処理できる速度まで時分割分離し、処理を行っている。このため、装置規模が大きくなるという問題が生じる。

【0018】また信号を分離することによる遅延が生じる等の問題がある。

【0019】ここで、ユークリッド互助法回路、チェン解法回路や誤り値計算部は処理速度自体は信号の速度に対して遅い速度でも処理が可能なため、シンドローム回路の処理速度の高速化が復号化をする際、重要な要素となる。

【0020】したがって、本発明は、上記問題点に鑑みてなされたものであって、その目的は、高速動作可能なシンドローム多項式計算回路及びリードソロモン複合化回路を提供することにある。

【0021】

【課題を解決するための手段】前記目的を達成するため、本発明のガロア体代入回路は、第1乃至第jからなる複数のガロア体乗算回路と、(j+1)入力排他論理和回路と、を備え、jブロックの時分割分離された信号入力の内最初の1ブロックの信号は、前記排他論理和回路の第1の入力に入力され、第2乃至第jブロックの信号は前記第1乃至第(j-1)のガロア体乗算回路に入力され、前記第1乃至第(j-1)のガロア体乗算回路は前記排他論理和回路の第2乃至第jの入力に入力され、前記排他論理和回路の出力を入力クロック信号でラッチするラッチ回路と、前記入力クロック信号を1フレーム分をカウントした際に出力信号を論理1とするカウンタと、前記カウンタの前記出力信号に基づき前記ラッチ回路の出力を選択出力するゲート回路と、を備え、前記ラッチ回路の出力は前記第jのガロア体乗算回路に入力され、前記第jのガロア体乗算回路の出力が前記排他論理和回路の第(j+1)の入力に接続され、前記各ガロア体のかけ算回路は、ガロア体aのべき数がpないしjpで構成される。記1フレームの入力がなされた時点で、前記ラッチ回路の出力及び前記カウンタがリセットされる。

【0022】本発明のシンドローム多項式計算回路は、jブロックの入力信号をそれぞれ2分岐し、一つは第2ないし第(j+1)のD-F/Fに入力し、一つは上記ガロア体代入回路に入力し、上記動作を行う回路をK個直列に接続し、それぞれのガロア体代入回路のそれぞれの出力は論理和回路に入力され、論理和回路の出力がシンドローム多項式計算回路の出力として出力されることを特徴とする。

【0023】本発明のリードソロモン復号化回路は、上記したシンドローム多項式計算回路と、ユークリッド互助法計算回路と、第1から第Kのチェン解法計算回路と、第1から第Kの誤り値計算回路と、信号分離回路と、シフトレジスタ回路と誤り訂正回路とからなり、jブロックの入力信号は2分岐され、一つはシンドローム

多項式回路に一つは信号分離回路に入力され、シンドローム多項式の出力はユークリッド互助法計算回路に入力され、ユークリッド互助法計算回路の誤り位置多項式計算結果はK分岐され、それぞれ第1ないし第Kのチェン解法計算回路に入力され、ユークリッド互助法回路の誤り値多項式計算結果はK分岐され、誤り値計算回路の誤り値多項式計算部に入力され、第1ないし第Kのチェン解法計算回路の出力はそれぞれ第1ないし、第Kの誤り値計算回路の誤り位置入力部に入力され、信号分離回路では信号がK分岐され、その出力はシフトレジスタに入力され、シフトレジスタ回路の出力及び第1ないし第Kの誤り値計算回路の出力は誤り訂正回路に入力され、第1ないし第Kのチェン解法計算部において代入するガロア体の次数はそれぞれ1ないしKからK次ずつ入力され、チェン解法計算回路及び誤り値計算回路シフトレジスタ及び誤り訂正部は入力信号の1/Kのクロックで動作することを特徴とする。

【0024】

【発明の実施の形態】本発明の実施の形態について説明する。本発明のガロア体代入回路は、その好ましい実施の形態において、j個のガロア体乗算回路(図1の1、2、3、4、図1ではj=4)と、(j+1)個の入力を持つ排他論理和(Exclusive OR)回路(図1の5)と、D-F/F(D型フリップフロップ)(図の6)と、セレクタ回路(図1の7)と、を備えて構成され、入力信号はjブロックの時分割分離された信号が入力され、その内最初の1ブロックの信号(11)は排他論理和回路(図1の5)の第1の入力に入力され、第2ないし第jブロックの信号はそれぞれ第1ないし第(j-1)のガロア体乗算回路(図1の1、2、3)に入力され、第1乃至第(j-1)のガロア体の乗算回路の出力は排他論理和回路の第2乃至第jの入力に入力され、排他論理和回路の出力はD-F/Fに入力され、D-F/Fの出力は2分岐され、一つは第jのガロア体乗算回路(図1の4)に入力され、一つはセレクタ回路(図1の7)の第1の入力に入力され、第jの乗算回路の出力は排他論理和回路(図1の5)の第(j+1)の入力に入力される。

【0025】本発明の実施の形態において、セレクタの第2の入力はLOWに固定され、1フレームの入力が終わるまで、セレクタ回路の出力は第2の入力を選択出し、1フレームの入力が入力された後、D-F/Fの出力がリセットされると同時に、セレクタ回路は第1の入力を1クロックの間出力し、各ガロア体の乗算回路は、ガロア体aのべき数がpないしjpで構成される。

【0026】本発明のシンドローム多項式計算回路は、その好ましい実施の形態において、jブロックの入力信号は、継続接続したj個のD-F/Fからなるシフトレジスタ(図2の9)に入力し、各段のD-F/Fの出力をそれぞれ上記したガロア体代入回路(図2の10、1

1、12、13)に入力し、前記各ガロア体代入回路のそれぞれの出力は論理和回路(図1の14)に入力され、論理和回路の出力がシンドローム多項式計算回路の出力として出力される。

【0027】本発明のリードソロモン復号化回路は、その好ましい実施の形態において、上記したシンドローム多項式計算回路(図3の15)と、ユークリッド互助法計算回路(図3の16)と、第1から第Kのチェン解法計算回路(図3の17~20、図3ではK=4)と、第1から第Kの誤り値計算回路(図3の21~24)と、シフトレジスタ回路(図3の26)と、誤り訂正回路(図3の25)と、を備えて構成される。

【0028】 j ブロック(図3では $j=4$)の入力信号は2分岐され、一方はシンドローム多項式回路(図1の15)に、他方はシフトレジスタ(図3の26)に入力され、シンドローム多項式の出力は、ユークリッド互助法計算回路に入力され、ユークリッド互助法計算回路の誤り位置多項式計算結果はK分岐され、それ第1ないし第Kのチェン解法計算回路(図3の17~20)に

入力され、ユークリッド互助法計算回路の誤り値多項式

計算結果はK分岐され、誤り値計算回路(図3の21~24)の誤り値多項式計算部に入力され、第1ないし第Kのチェン解法計算回路の出力はそれ第1ないし、第Kの誤り値計算回路の誤り位置入力部に入力される。

【0029】シフトレジスタ回路(図3の26)の出力及び第1ないし第Kの誤り値計算回路の出力は誤り訂正回路に入力され、第1ないし第Kのチェン解法計算部において代入するガロア体の次数はそれぞれ1ないしKからK次ずつ入力され、チェン解法計算回路及び誤り値計算回路シフトレジスタ及び誤り訂正部は入力信号の1/Kのクロックで動作する。

【0030】本発明におけるシンドローム多項式は以下の計算で説明が可能となる。

【0031】シンドローム多項式は $\alpha, \alpha^2, \dots, \alpha^{16}$ を受信語 $Y(z)$ に代入することにより、求めることができる。

【0032】すなわちシンドローム多項式の係数 S_i は、

【0033】

【数1】

$$S_i = \sum_{j=0}^{254} r_j \cdot a^{(i+1) \cdot j}$$

$$(I = 0, 1, \dots, 15)$$

…(1)

【0034】で計算される。これを順次受信される受信語 r_j に対して順次計算していくためには、(式1)を変形し、

$$S_i = (\dots (r_{254} \cdot a^{i+1} + r_{253}) \cdot a^{i+1} + r_{252}) \dots + r_1) \cdot a^{i+1} + r_0$$

…(2)

【0036】となるため、

【0037】

【0035】

【数2】

$S_{i,j} \leftarrow (S_{i,j+1} \cdot a^{i+1} + r_j)$
【0038】のように、逐次計算させていければよい。

【0039】これを並列処理する場合に考えると、最高次の信号には、 $a^{((j-1)*(I+1))}$ (ここでの j は並列処理する値)を掛け、次数が下がる毎に、 $(j-1)$ の値を1づつ下げていけばよい。

【0040】この後、全ての信号の排他論理を行った後、 $a^{(j*(I+1))}$ を掛け、次の計算結果との排他論理を行って、シンドローム多項式が計算される。

【0041】上記した本発明の実施の形態について更に詳細に説明すべく、本発明の実施例について図面を参照して説明する。

【数3】

…(3)

【0042】

【実施例1】本発明の第一の実施例について説明する。本発明の第一の実施例におけるシンドローム計算回路は、ガロア体は $x^8 + x^4 + x^2 + 1$ から計算される8ビットの情報に対応しているものとする。また、復号化される情報バイトは28バイトで、冗長符号は4バイトとする。この時、誤り訂正能力は2バイト訂正可能となる。

【0043】この場合、シンドローム多項式は3次の多項式となり、生成多項式を、

【0044】

【数4】

$$G(x) = (x + a)(x + a^2)(x + a^3)(x + a^4) \quad \dots(4)$$

【0045】とすると、シンドローム多項式の係数 S_0, S_1, S_2, S_3 は、それぞれ、情報信号 $I(x)$ に、 a, a^2, a^3, a^4 を代入することで求める。

【0046】各シンドローム多項式の係数を計算する回路構成を図1に示す。シンドローム計算は一度に多くの信号を扱うために並列化している。

【0047】入力信号は並列に4バイトを入力し、情報信号の高次の信号から I_1, I_2, I_3, I_4 とする。ここで I_1, I_2, I_3, I_4 はそれぞれ1バイトの信号を表す。 I_1 は、第1のガロア体乗算回路1に入力され、この乗算回路1の乗数は、 S_0, S_1, S_2, S_3 のそれぞれの場合において、 a^3, a^6, a^9, a^{12} となる。

【0048】同様に、 I_2 は第2のガロア体乗算回路2に入力され、乗数は S_0, S_1, S_2, S_3 のそれぞれの場合において、 a^2, a^4, a^6, a^8 となる。

【0049】 I_3 は第3のガロア体乗算回路3に入力され、この時の乗数は、 S_0, S_1, S_2, S_3 のそれぞれの場合において、 a, a^2, a^3, a^4 となる。

【0050】第1ないし第3のガロア体乗算回路1、2、3の出力、及び I_4 は、排他的論理和 (Exclusive OR) 回路5の第1ないし第4の入力端に入力する。

【0051】排他的論理和回路5の出力は、D型フリップフロップ6のデータ入力端に入力され、D型フリップフロップ6の出力は2分岐され、一方は、第4のガロア体乗算回路4に入力され、他方は論理積 (AND) 回路7の第1の入力端に入力される。第4のガロア体乗算回路4の乗数は S_0, S_1, S_2, S_3 のそれぞれの場合において、 a^4, a^8, a^{12}, a^{16} となる。第4のガロア体乗算回路4の出力は排他論理和回路5の第5の入力端に入力される。

【0052】また、クロックは、D型フリップフロップ6のクロック入力端及びカウンタ8に入力され、カウンタ値はフレームパルスが入力されるとリセット (ゼロクリア) し、カウンタ値が0-6間は L_{ow} レベル信号、カウンタ値が7の時は H_{igh} に変化し、クロックカウンタ値をリセットする。

【0053】カウンタ8の出力はAND回路7の第2の入力端に入力され、カウンタ8の出力信号が H_{igh} レベルの時のみ、D型フリップフロップ6からの信号が出力される。また、D型フリップフロップ6はフレームパルス入力によりリセットされる。

【0054】この回路構成により、シンドローム多項式のそれぞれの係数を計算することができる。

【0055】

【実施例2】上記した実施例1におけるシンドローム多項式の係数計算回路を一つの単位として考え、図2に示すようなブロックとして考える。

【0056】図2に示すように、入力した4バイト並列 (32ビット幅) の信号及びフレームパルスは、4ビットシフトレジスタ回路9に入力され、シフトレジスタ9

の各出力はそれぞれシンドローム多項式計算回路の第1ないし第4の係数計算回路部10、11、12、13に入力される。

【0057】第1ないし第4の係数計算回路部10、11、12、13からの出力は、それぞれ論理和 (OR) 回路14の第1ないし第4の入力端に入力する。

【0058】この時、各信号のタイムチャートは、図4に示すようになり、各係数計算結果10～13の出力はシフトレジスタ9にあわせて、1クロック分だけずれるために、OR回路14の出力はシリアル信号として出力されることになる。

【0059】

【実施例3】図3は、本発明の第3の実施例の構成を示す図である。図3を参照すると、本実施例における復号化回路は、シンドローム多項式計算部15、ユークリッド互助法計算部16、第1から第4のチェン解法部17、18、19、20、第1から第4の誤り値計算部21、22、23、24、シフトレジスタ26、及び誤り訂正部25からなる。本実施例においても、前記実施例1と同様に、1フレームが28バイトの情報信号に4バイトの冗長符号が付加された信号を取り扱うものとする。

【0060】4バイト並列の入力信号 (32ビット) は2分岐され、一つはシンドローム計算回路15に、一つはシフトレジスタ26に入力される。

【0061】シンドローム計算回路の1バイト並列で出力された信号は、ユークリッド互助法計算回路16に入力され、ユークリッド互助法計算回路16からは、誤り値計算結果及び誤り位置計算結果がそれぞれ1バイト並列で出力され、誤り位置計算結果は4分岐され、第1ないし第4のチェン解法計算部17～20に、誤り値計算結果も4分岐され、第1ないし第4の誤り値計算部21～24に入力される。

【0062】第1ないし第4のチェン解法部17～20の計算結果は、それぞれ第1ないし第4の誤り値計算部21～24に入力され、それぞれの1バイト並列で出力された信号は誤り訂正部25に入力される。

【0063】なお、2分岐された4バイト並列の入力信号の一方は、分離回路で、1:4に時分割分離した後、シフトレジスタ26に入力する構成としてもよい。シフトレジスタ26の出力は誤り訂正部25に入力される。

【0064】この時、シンドローム多項式計算、ユークリッド互助法、チェン解法、誤り値計算部で計算された誤り情報とシフトレジスタからの出力で誤り訂正が実行され、復号化処理結果として出力される。

【0065】シンドローム計算回路は、前記実施例2と同じ構成であり、これにより、低速な信号速度で処理を行うことができ、ユークリッド互助法もシンドローム計算結果出力の速度に応じて信号処理が可能となる。

【0066】また、チェン解法計算部や誤り値計算回路

部も、入力信号速度と同じクロックで動作させることができる。

【0067】なお、本発明は、上記した実施例の構成にのみ限定されるものでなく、処理する信号の並列処理の度合いを増やすことで更に大容量の信号を処理することができる。となることはいうまでもない。

【0068】

【発明の効果】以上説明したように、本発明のシンドローム多項式計算回路を用いることにより、大容量の信号を高速に処理することが可能となり、リードソロモン復号化回路を構築することができる、という効果を奏する。その理由は、上記のように構成されてなる本発明においては、シンドローム計算回路は入力信号と比べて低速な信号速度で処理可能であるためである。

【図面の簡単な説明】

【図1】本発明の第1の実施例に係るガロア体代入回路の回路構成を示す図である。

【図2】本発明の第2の実施例に係るシンドローム多項式計算回路の回路構成を示す図である。

【図3】本発明の第3の実施例に係るリードソロモン復号化回路の回路構成を示す図である。

【図4】本発明の第2の実施例に係るシンドローム多項式計算回路の動作の一例を示すタイミングチャートである。

【図5】従来技術におけるリードソロモン復号化の基本単位であるPEの回路構成を示す図である。

【図6】従来技術におけるシンドローム計算回路の回路構成を示す図である。

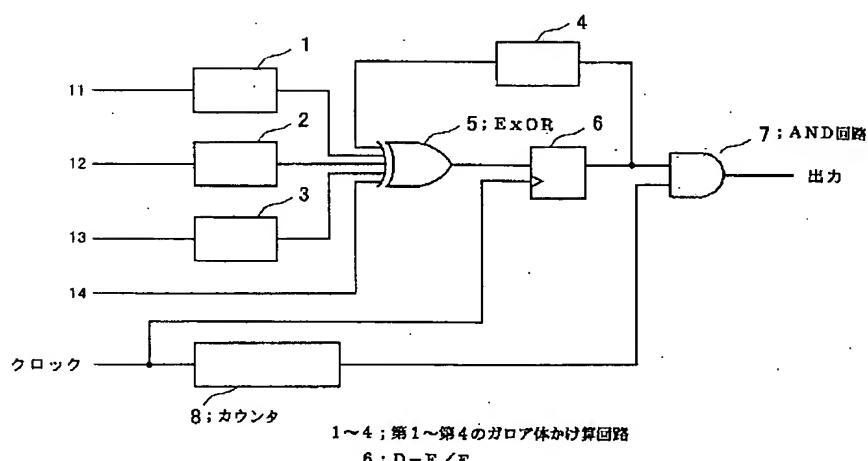
【図7】従来技術におけるユークリッド互法計算回路の回路構成を示す図である。

【図8】従来技術における誤り訂正部計算回路の回路構成を示す図である。

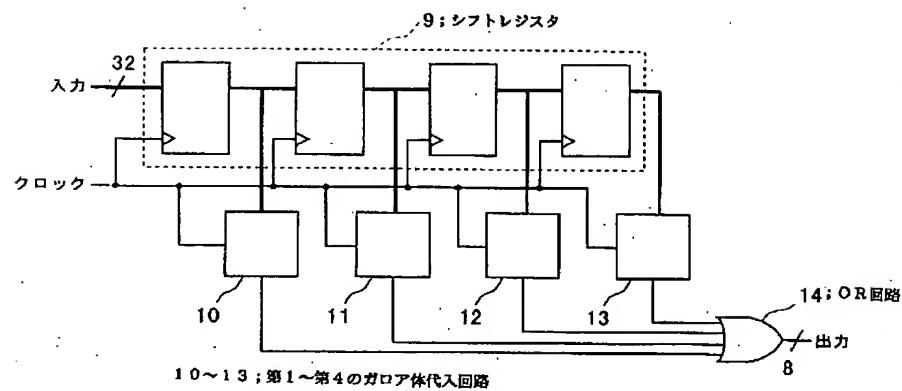
【符号の説明】

- 1 第1のガロア体かけ算回路
- 2 第2のガロア体かけ算回路
- 3 第3のガロア体かけ算回路
- 4 第4のガロア体かけ算回路
- 5 排他論理和回路
- 6 D-F/F (D型フリップフロップ)
- 7 AND回路
- 8 カウンタ
- 9 シフトレジスタ
- 10 第1のガロア体代入回路
- 11 第2のガロア体代入回路
- 12 第3のガロア体代入回路
- 13 第4のガロア体代入回路
- 14 OR回路
- 15 シンドローム多項式計算回路
- 16 ユークリッド互法計算回路
- 17 第1のチェン解法計算回路
- 18 第2のチェン解法計算回路
- 19 第3のチェン解法計算回路
- 20 第4のチェン解法計算回路
- 21 第1の誤り値計算回路
- 22 第2の誤り値計算回路
- 23 第3の誤り値計算回路
- 24 第4の誤り値計算回路
- 25 誤り訂正回路
- 26 シフトレジスタ

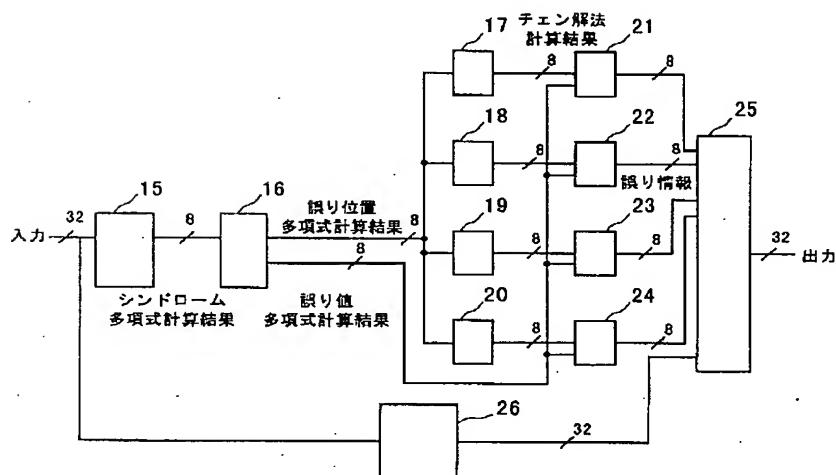
【図1】



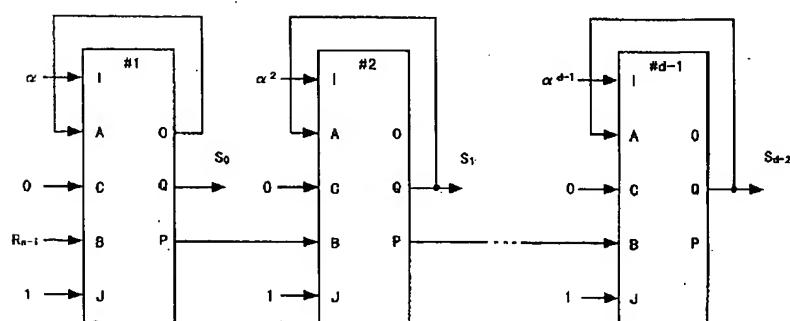
【図2】



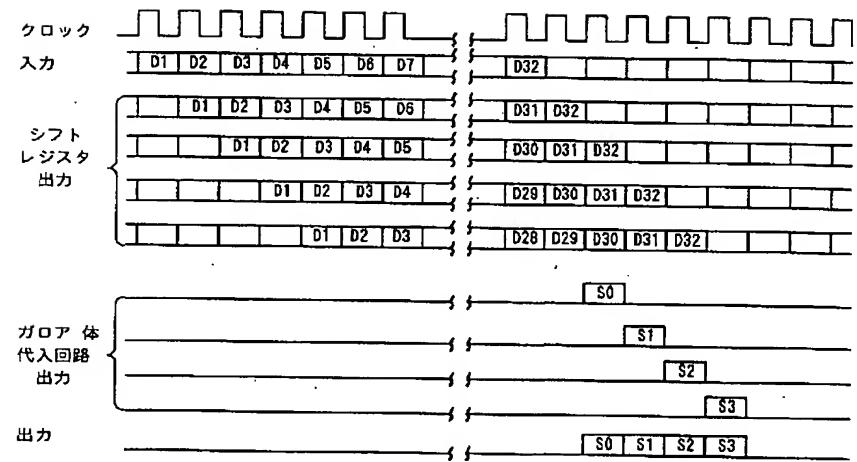
【図3】



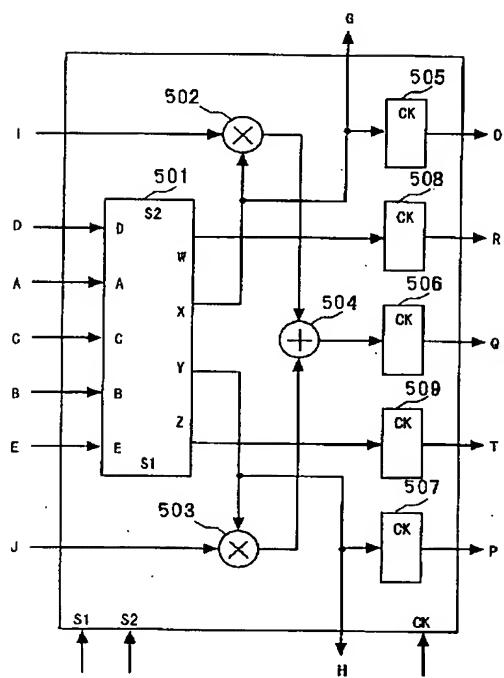
【図6】



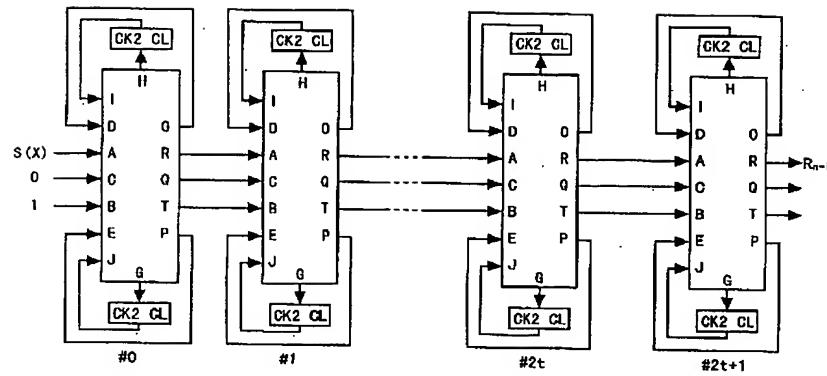
【図4】



【図5】



【図7】



【図8】

